

PAT-NO: JP410275872A

DOCUMENT-IDENTIFIER: JP 10275872 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: October 13, 1998

INVENTOR-INFORMATION:

NAME

YOKOYAMA, HIROAKI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP09078589

APPL-DATE: March 28, 1997

INT-CL (IPC): H01L021/8249, H01L027/06 , H01L021/768 , H01L021/8222

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a contact hole to a bipolar transistor region and a MOS transistor region at the same time and to prevent a semiconductor from deteriorating in direct current amplification factor by a method, wherein an emitter electrode and an emitter wiring are connected together with two or more contact plugs.

SOLUTION: A sixth silicon oxide film 18 is formed on a fifth silicon oxide film 17. The sixth silicon oxide film 18 serves to planarize the surface similar to a third silicon oxide film 13, so as to protect a wiring layer against a short circuit. In succession, contact holes 19 and 20 are formed in a first, a second, a third, a fourth a fifth and a sixth silicon oxide film, 9, 12, 13, 15, 17 and 18. The contact holes 19 and 20 are used for selectively

connecting an Al wiring layer 21 provided onto the sixth silicon oxide film to an N⁺-diffusion layer 8 and an emitter electrode 10. By this setup, a base current can be lessened, and a semiconductor device of this constituted can be enhanced in current amplification factor.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-275872

(43) 公開日 平成10年(1998)10月13日

(51) Int.Cl.⁴

識別記号

F I

H 0 1 L 21/8249
27/06
21/768
21/8222

H 0 1 L 27/06
21/90
27/06

3 2 1 F
A
1 0 1 U

審査請求 有 請求項の数12 O L (全 7 頁)

(21) 出願番号 特願平9-78589

(22) 出願日 平成9年(1997)3月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 横山 宏明

東京都港区芝五丁目7番1号 日本電気株式会社内

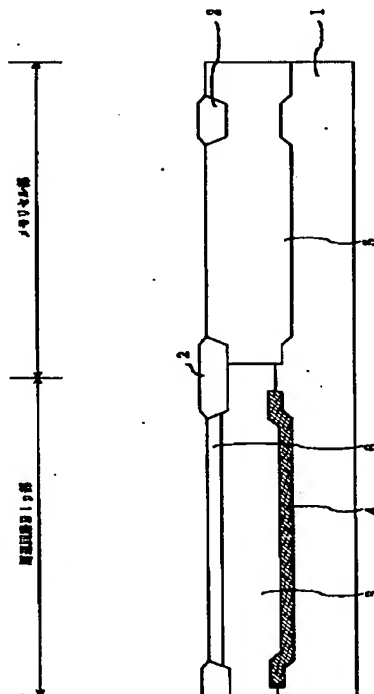
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 BiCMOSにおけるバイポーラトランジスタのエミッタ電極上、及び、MOSTランジスタ上に設けられるコンタクトホールの深さの違いによって生じるエミッタ電極のエッチング、及び、これに伴う直流電流増幅率の低下を防止することである。

【解決手段】 エミッタ電極上に形成されるコンタクトホールを複数に分割して、エミッタ電極がエッチングされる面積を減少させ、これによって、エミッタ電極中におけるホールの再結合を多くして、結果的に、ベース電流を少なくして、直流電流増幅率を上昇させ、且つ、高速動作を可能にしている。



【特許請求の範囲】

【請求項1】 エミッタ領域を有するバイポーラトランジスタを備え、当該エミッタ領域上に形成されたエミッタ電極と、該エミッタ電極と電氣的に接続されるエミッタ配線とを有する半導体装置において、前記エミッタ電極と前記エミッタ配線とは、複数のコンタクト用プラグによって接続されていることを特徴とする半導体装置。

【請求項2】 請求項1において、前記エミッタ電極は、不純物をドーパされたポリシリコンによって形成されており、他方、前記エミッタ配線はアルミニウムによ

って形成されていることを特徴とする半導体装置。

【請求項3】 請求項2において、前記コンタクト用プラグはタングステンによって形成されていることを特徴とする半導体装置。

【請求項4】 請求項1において、前記半導体装置は、シリコン基板上に設けられたエピタキシャル層を備え、前記エミッタ領域は前記エピタキシャル層内に設けられる一方、前記エミッタ電極は前記エミッタ領域のエピタキシャル層上に形成され、前記複数のコンタクト用プラグを除く、前記エミッタ電極と前記エミッタ配線との間

には、絶縁層が設けられていることを特徴とする半導体装置。

【請求項5】 請求項4において、前記エピタキシャル層はエピタキシャル成長技術及びイオン注入技術のいずれかを用いて形成されていることを特徴とする半導体装置。

【請求項6】 請求項4または請求項5において、前記半導体装置は、更に、前記バイポーラトランジスタに隣接して設けられたMOSトランジスタを有していることを特徴とする半導体装置。

【請求項7】 請求項6において、前記MOSトランジスタは、前記エピタキシャル層に形成されたMOSトランジスタ領域を備え、当該MOSトランジスタ領域上には、MOSトランジスタ用配線を有しており、前記MOSトランジスタ用配線の前記エピタキシャル層からの高さは、前記エミッタ配線の前記エピタキシャル層からの高さとは異なっていることを特徴とする半導体装置。

【請求項8】 請求項7において、前記MOSトランジスタ用配線の前記エピタキシャル層からの高さは、前記エミッタ配線の前記エピタキシャル層からの高さより高いことを特徴とする半導体装置。

【請求項9】 請求項8において、前記MOSトランジスタは、前記エピタキシャル層に形成されたソース領域及びドレイン領域を有すると共に、前記エピタキシャル層上に設けられたゲート領域とを備え、前記ソース領域及びドレイン領域のいずれか一方は、前記MOSトランジスタ用配線とMOSコンタクト用プラグを介して電氣的に接続されていることを特徴とする半導体装置。

【請求項10】 請求項9において、前記MOSコンタクト用プラグは前記エミッタ電極と前記エミッタ配線と

を電氣的に接続するコンタクト用プラグより長いことを特徴とする半導体装置。

【請求項11】 エミッタ領域を有するバイポーラトランジスタを備え、当該エミッタ領域上に形成されたエミッタ電極と、該エミッタ電極と電氣的に接続されるエミッタ配線とを有する半導体装置の製造方法において、前記エミッタ電極上に絶縁層を形成する工程と、前記絶縁層の前記エミッタ電極に対応した領域に複数のコンタクトホールを形成する工程と、前記複数のコンタクトホール中に、複数のコンタクト用プラグを設ける工程とを備え、前記エミッタ配線は前記複数のコンタクト用プラグに電氣的に接続された形で、前記絶縁層に配置されることを特徴とする半導体装置の製造方法。

【請求項12】 請求項11において、前記バイポーラトランジスタと隣接して、MOSトランジスタを形成する工程と、前記MOSトランジスタを前記絶縁層とは異なる高さを有するMOSトランジスタ用絶縁層によって覆う工程と、前記MOSトランジスタ用絶縁層上に、MOSトランジスタ用コンタクトホールを前記バイポーラトランジスタ用の前記コンタクトホールと同時に開口する工程と、前記MOSトランジスタ用コンタクトホール中に、MOSトランジスタ用コンタクトプラグを前記バイポーラトランジスタ用の前記複数のコンタクト用プラグと同時に設ける工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バイポーラトランジスタを有する半導体装置及びその製造方法に関し、特に、SRAMとして動作する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】一般に、この種、半導体装置には、バイポーラトランジスタと相補MOSトランジスタとを同一チップ内に形成した所謂BiCMOS集積回路がある。このようなBiCMOS集積回路は、論理回路を構成するのに有利なCMOS回路と、増幅回路等のリニア回路を構成するのに有利なバイポーラトランジスタとを同一チップ内に形成することにより、CMOS及びバイポーラトランジスタの特長を生かした回路を構成できる。

【0003】また、BiCMOS集積回路としては、メモリセル部分をCMOSによって構成すると共に、メモリセル部分の周辺に配置されたバイポーラトランジスタによってセンスアンプ部分を形成したSRAMがある（以下、BiCMOSによって構成されたSRAMをBiCMOS SRAMと呼ぶ）。このようなBiCMOS SRAMは、シリコン基板上にエピタキシャル成長によって形成されたエピタキシャル層に、MOSトランジスタ領域及びバイポーラトランジスタ領域とをフィールド酸化膜を介して互いに隣接して設けられている。こ

の場合、MOSTランジスタ領域には、MOSTランジスタに必要なドレイン、ソース領域、及び、ゲート領域が設けられており、他方、バイポーラトランジスタ領域には、バイポーラトランジスタに必要なベース領域、エミッタ領域、及び、コレクタ領域が、形成されている。ここで、エミッタ領域を覆う絶縁層の厚さは、ソース及びドレイン領域を覆う絶縁層に比較して、プロセス上、薄くならざるを得ないため、エミッタ領域、及び、MOSTランジスタ領域（ソースまたはドレイン領域）から、絶縁層上に配置される配線までの高さは相互に異な

【0004】

【発明が解決しようとする課題】このような状況のもとで、エミッタ領域上の絶縁層に、ドライエッチングによりコンタクトホールを形成すると同時に、MOSTランジスタ領域上の絶縁層にも、コンタクトホールを形成すると、エミッタ領域上の絶縁層は、MOSTランジスタ領域上の絶縁層に比較して迅速にエッチングされてしまうため、エミッタ電極が過剰にエッチングされることになる。このように、エミッタ領域が過剰にエッチングされ

ると、バイポーラトランジスタの特性が劣化してしまうことが判明した。
【0005】このことを図5を参照してより具体的に説明すると、従来のBiCMOS SRAMは、P型の半導体基板1上に、N型のエピタキシャル層3をエピタキシャル成長技術を用いて成長させ、このエピタキシャル層3の表面を素子分離用絶縁膜2によって、バイポーラトランジスタ領域及びMOSTランジスタ領域を区分する。尚、N型のエピタキシャル層3はイオン注入技術を用いて形成されても良い。

【0006】ここで、バイポーラトランジスタ領域の下部には、N型の埋込層4が形成されている。また、バイポーラトランジスタ領域のエピタキシャル層には、P型真性ベース領域6が設けられており、且つ、ベース領域6内には、N型のエミッタ拡散領域11が形成されている。この例では、エミッタ拡散領域11上に、ポリシリコンによって形成されたエミッタ電極10が設けられている。

【0007】他方、MOSTランジスタ領域のエピタキシャル層3には、P型のウェル領域5が形成されると共に、N+型のドレイン及びソース領域8がチャネル領域を挟んで形成されている。チャネル領域上には、ゲート酸化膜が形成されており、且つ、このゲート酸化膜上には、ゲート電極7が設けられており、このゲート電極7はゲート酸化膜上だけでなく、電気的に接続された形で、他の領域、例えば、素子分離用絶縁膜2上にも延在している。このゲート電極7上には、第1、第2、及び第3の酸化シリコン膜9、12、及び13が形成され、当該第3の酸化シリコン膜13上には、接地用配線14

の酸化シリコン膜15によって覆われた後、これら第1乃至第4の酸化シリコン膜9、12、13、及び、15を選択的にエッチングすることにより、MOSTランジスタ領域のソース及びドレイン領域のいずれか一方に対応する位置に開口が設けられ、この開口を通して、抵抗として働くポリシリコン16がソース及びドレイン領域のいずれか一方に電気的に接触するように形成される。続いて、このポリシリコン16上には、第5及び第6の酸化シリコン膜17及び18が順次形成され、且つ、第6の酸化シリコン膜18の表面は平坦化される。これによって、MOSTランジスタ領域上には、メモリセル部が形成されることになる。

【0008】図示されているように、MOSTランジスタ領域上の第6の酸化シリコン膜18の表面は、バイポーラトランジスタ領域上の第6の酸化シリコン膜18の表面よりも高い位置にある。これは、MOSTランジスタ領域上には、酸化シリコン膜によって形成された絶縁層だけでなく、ゲート電極7、接地用配線14、及び、ポリシリコン16等が設けられているからである。

【0009】この構成において、バイポーラトランジスタ領域及びMOSTランジスタ領域上の第6の酸化シリコン膜18上には、A1配線21が選択的に施され、このA1配線21はそれぞれバイポーラトランジスタのエミッタ領域及びMOSTランジスタのソース及びドレイン領域のいずれか一方と電気的に接続される必要がある。

【0010】このため、ソース及びエミッタ領域のいずれか一方及びエミッタ電極上には、コンタクトホール19及び20が形成される。ここで、ソース及びドレイン領域のいずれか一方上のコンタクトホール19の深さは、前述した絶縁層の厚さの関係で、エミッタ領域上のコンタクトホールの深さよりも深い。

【0011】更に、図6に示された平面図からも明らかに、エミッタ領域上のコンタクトホール20はスリット上に設けられており、図示されたスリット状コンタクトホール19は0.6 μ mの幅と、8 μ mの長さを有している。他方、MOSTランジスタ領域上のコンタクトホール19はスリット状コンタクトホール20より小さく、0.5ミクロン程度の正方形形状を有している。いずれにしても、これらコンタクトホール19及び20は、W等によって埋め込まれたコンタクト用プラグが形成されている。

【0012】上記したコンタクトホール19及び20を開口する場合、エミッタ領域上のコンタクトホール20だけに注目して、コンタクトホールを形成すると、MOSTランジスタ領域上のコンタクトホール19を形成する部分の絶縁層は、エミッタ領域上のコンタクトホール19を形成する部分の絶縁層よりも厚いため、コンタクトホール19はMOSTランジスタ領域に達せず、オープン状態となってしまう、結果的に、製品不良となって

しまう。

【0013】したがって、MOSTランジスタ領域のコンタクトホール19の深さに合わせて、コンタクトホール20を開口する必要があるが、この場合には、エミッタ領域に対応する部分が過剰にエッチングされることになる。即ち、この場合には、エミッタ領域上の絶縁層だけでなく、エミッタ電極10を形成しているポリシリコンがコンタクトホール開口時のドライエッチングによって、一部エッチングされてしまい、エミッタ電極10自身の厚さが薄くなってしまう。

【0014】このように、エミッタ電極10の膜厚が薄くなると、エミッタ電極10であるポリシリコン中で再結合するホールの割合が減少し、ベース領域6のベース電流 I_b が増加することになる。ここで、バイポーラトランジスタの直流電流増幅率(h_{FE})はコレクタ電流 I_c とベース電流 I_b との比、即ち、 I_c/I_b によってあらわされるから、ベース電流 I_b の増加によって、直流電流増幅率(h_{FE})が小さくなってしまう。

【0015】本発明の目的は、バイポーラトランジスタの直流電流増幅率(h_{FE})の低下を防止できる半導体装置を提供することである。

【0016】本発明の他の目的は、BiCMOSによって構成された高速動作可能なSRAMを提供することである。

【0017】本発明の更に他の目的は、バイポーラトランジスタ領域とMOSTランジスタ領域上に、異なる厚さを有する絶縁層が形成されている場合にも、同時にコンタクトホールを形成し、且つ、直流電流増幅率(h_{FE})の低下を防止できる半導体装置の製造方法を提供することである。

【0018】

【課題を解決するための手段】本発明の一実施の形態によれば、エミッタ領域を有するバイポーラトランジスタを備え、当該エミッタ領域上に形成されたエミッタ電極と、該エミッタ電極と電気的に接続されるエミッタ配線とを有する半導体装置において、前記エミッタ電極と前記エミッタ配線とは、複数のコンタクト用プラグによって接続されている半導体装置が得られる。

【0019】更に、本発明の他の実施の形態によれば、エミッタ領域を有するバイポーラトランジスタを備え、当該エミッタ領域上に形成されたエミッタ電極と、該エミッタ電極と電気的に接続されるエミッタ配線とを有する半導体装置の製造方法において、前記エミッタ電極上に絶縁層を形成する工程と、前記絶縁層の前記エミッタ電極に対応した領域に複数のコンタクトホールを形成する工程と、前記複数のコンタクトホール中に、複数のコンタクト用プラグを設ける工程とを備え、前記エミッタ配線は前記複数のコンタクト用プラグに電気的に接続された形で、前記絶縁層に配置されることを特徴とする半導体装置の製造方法が得られる。

【0020】

【発明の実施の形態】図1〜3を参照すると、本発明に一実施の形態に係る半導体装置として、図5と同様に、BiCMOS SRAMの例が製造工程順に示されている。尚、図1〜3において、図5と対応する部分には同一の参照番号が付されている。

【0021】図1において、P型のシリコン基板1の一面は、NMOSを形成されるメモリセル部と、その周辺に配置されるバイポーラトランジスタによって形成される周辺部とに区分されており、周辺部の下部には、リンによって形成されたN型埋込層4が形成されている。シリコン基板1の表面には、N型のエピタキシャル層3が形成されており、エピタキシャル層3のメモリセル部、及び、周辺部は、エピタキシャル層3の表面に設けられた素子分離用絶縁膜2によって区分されている。また、図1に示すように、素子分離用絶縁膜2によって区分されたエピタキシャル層3上の周辺部には、P型の真性ベース領域6が形成されている。

【0022】一方、図2に示すように、エピタキシャル層3のメモリセル部には、ゲート酸化膜、及び、ゲート電極7が公知の手法により形成される。ここで、ゲート電極7は他の素子との接続のために、ゲート酸化膜上だけでなく、素子分離酸化シリコン膜2等上にも引き出されている。また、メモリセル部のエピタキシャル層3には、 N^+ 拡散層8が設けられ、これによって、MOSTランジスタのソース、ドレイン領域が形成される。

【0023】次に、ゲート電極7上に、第1の酸化シリコン膜9が形成され、その第1の酸化シリコン膜9にエミッタコンタクトホールを開口する。その後、ポリシリコンを堆積し、エミッタ電極10を形成し、イオン注入及び熱処理を行って、エミッタ拡散層11を形成する。

【0024】続いて、エミッタ電極10の形成後、第2の酸化シリコン膜12及び第3の酸化シリコン膜13が形成される。この結果、エミッタ電極10は第2及び第3の酸化シリコン膜12及び13によって覆われると共に、ゲート電極7もこれら酸化シリコン膜12及び13によって覆われる。ここで、第3の酸化シリコン膜13はリフロー性の良いTEOS、BPSG等によって形成され、約500nmの厚さを有している。この第3の酸化シリコン膜13は、以後に行われる配線処理の際、配線層がショートしないように、表面を平坦化するのに役立つ。

【0025】次に、第3の酸化シリコン膜13上に、接地用配線14が所定の位置に形成され、更に、接地用配線14上には、第4の酸化シリコン膜15が形成される。

【0026】以後、第1、第2、第3、及び第4の酸化シリコン膜9、12、13、及び、15には、ドライエッチングによりコンタクトホール（以下、共通コンタクトホールと呼ぶ）が開口され、メモリセル部のソース及

びドレイン領域のいずれか一方に対応した部分、及び、ゲート電極7が露出される。

【0027】更に、図示されたように、第4の酸化シリコン膜15及び共通コンタクトホール内には、抵抗ポリシリコン16が選択的に形成され、抵抗ポリシリコン16と、ゲート電極7及びN⁺拡散層8とは電氣的に互いに接触された状態となる。続いて、抵抗ポリシリコン16上には、第5の酸化シリコン膜17が形成される。

【0028】次に、図3に示すように、第5の酸化シリコン膜17上には、約500nmの厚さを有する第6の酸化シリコン膜18が形成される。この第6の酸化シリコン膜18は第3の酸化シリコン膜13と同様に、リフロー性の良いTEOS、BPSG等によって形成され、この第6の酸化シリコン膜18も、配線層がショートしないように、表面を平坦化するためのものである。

【0029】続いて、第1、第2、第3、第4、第5、及び、第6の酸化シリコン膜9、12、13、15、17、及び、18には、コンタクトホール19及び20がドライエッチングにより開口される。この例では、コンタクトホール19は、メモリセル部のN⁺拡散層8上、コンタクトホール20は、エミッタ電極10上にそれぞれ位置付けられている。ここで、コンタクトホール19の位置における上記酸化シリコン膜の厚さは、コンタクトホール20の位置における酸化シリコン膜の厚さよりも厚いことが分かる。

【0030】このコンタクトホール19及び20は第6の酸化シリコン膜18上に設けられるA1配線層21と、N⁺拡散層8及びエミッタ電極10との電氣的接続をとるためのものである。尚、上記した電氣的接続のために、コンタクトホール19及び20中には、Wによる金属プラグが埋め込まれている。

【0031】ここで、図4をも参照すると、A1配線層21の下部に配置され、ポリシリコンによって形成されたエミッタ電極10と、図3に示されたコンタクトホール20との関係が示されている。コンタクトホール20はA1配線層21の下部に位置付けられると共に、図4の横方向に一列に配列された8個の正方形のビアホール20a~20hによって形成されている。図示された各ビアホール20a~20hは0.48μm x 0.48μmのサイズを有しており、互いに隣接するビアホール20a~20h間の間隔は0.60μmである。

【0032】図3及び図4に示された構造のコンタクトホール20をポリシリコンのエミッタ電極10上に形成すると、エミッタ電極10を構成するポリシリコンも部分的に削られることになるが、削られるエミッタ電極10の面積は、図6に示した従来例の場合に比較して、著しく狭い領域である。したがって、エミッタ電極10のポリシリコン中で再結合するホールの数を図6のコンタクトホール20の面積と、ビアホール20a~20hの全面積との比で、減少させることができる。

【0033】このため、図3及び図4に示された構造では、図5及び図6の従来例に比較して、ベース電流I_bを減少させることができ、電流増幅率h_{FE}を大きくできると言う利点がある。

【0034】

【発明の効果】本発明では、BiCMOSのバイポーラトランジスタのエミッタ電極と、配線層との間に形成されるコンタクトホールを複数に分割して設け、エミッタ電極のエッチングされる面積を少なくすることにより、ベース電流を小さくすることにより、電流増幅率の高いBiCMOS半導体装置が得られる。また、MOSTランジスタ上に形成されるべきコンタクトホールと、エミッタ電極上に構成されるコンタクトホールの深さの差に応じて、エミッタ電極上のコンタクトホールの数を選択することにより、バイポーラトランジスタの直流電流増幅率を目的に応じて最適に定めることも可能である。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係る半導体装置の構成を説明するための断面図である。

【図2】本発明の一実施の形態に係る半導体装置の製造工程の一部を説明するための断面図である。

【図3】図2に示された製造工程の後に行われる工程を説明するための断面図である。

【図4】図1に示された半導体装置製造における工程の一部を説明するための平面図である。

【図5】従来の半導体装置の構造を説明するための断面図である。

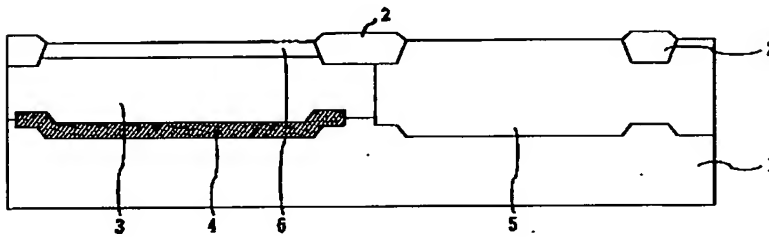
【図6】図5の構造を部分的により詳細に説明するための平面図である。

【符号の説明】

1	シリコン基板
2	素子分離酸化シリコン膜
3	N型エピタキシャル層
4	N型埋込層
5	P型ウェル領域
6	P型真性ベース領域
7	ゲート電極
8	N ⁺ 拡散層
9	第1の酸化シリコン膜
10	エミッタ電極
11	エミッタ拡散層
12	第2の酸化シリコン膜
13	第3の酸化シリコン膜
14	接地用配線
15	第4の酸化シリコン膜
16	抵抗ポリシリコン
17	第5の酸化シリコン膜
18	第6の酸化シリコン膜
19	メモリセル部のコンタクトホール

ビアホール
配線層

← 周辺回路Bip部 * メモリセル部 →



Plan view of a semiconductor device. It shows a series of gates labeled 20a through 20h. Above the gates, two dimensions are indicated: 0.48 μm and 0.60 μm. Below the gates, there are labels for 'コンタクト' (Contact) and 'エミッタコンタクト' (Emitter Contact). A label 'IO' is at the bottom left, and '20' is at the bottom right.

